Національний технічний університет України

«Київський політехнічний інститут»

Факультет інформатики та обчислювальної техніки

Кафедра обчислювальної техніки

Лабораторна робота № 3. Проектування RAM

з дисципліни «Комп’ютерна схемотехніка»

Виконав студент групи ІО-01 *Редько Олександр*

Номер залікової книжки **10310**

# Завдання

На PLMT с параметром разработать RAM емкостью  слов разрядностью  бит с  шиной ПМК, а именно: , ,.

Для разработанного RAM оценить сложность, быстродействие и потребляемую за один период синхросигнала энергию при условии, что основным критерием при проектировании является:

1. получение наиболее экономной по энергопотреблению схемы RAM ();
2. получение наиболее простой по количеству PLMT схемы RAM ().

# Визначення варіанту

 ‑ 4 входа.

 ‑ количество слов RAM.

 ‑ 15 бит.

 ‑ шина .

# Виконання роботи

Структурная схема приведена на рисунке Рисунок 3.1.

Условные обозначения: А – шина адреса, D – шина ввода данных, Q – шина вывода данных.

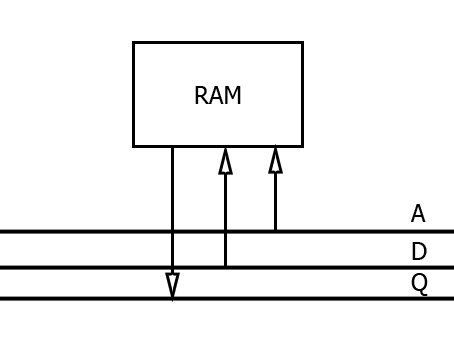


Рисунок 3.1

Система команд имеет следующий вид:

|  |  |
| --- | --- |
|  | MO |
| 0 | WR |
| 1 | RD |

## Проектирование RAM

Построим RAM в режиме с управляемым ∇, потому что в таком случае сложность RAM примерно на 20% меньше, чем с управляемым С.

Таким образом, необходимо организовать две функции – управления триггером и выдачей результата ( и  ).



** 

То есть, если есть сигнал записи, то по адресу  записываем  (то, что на входе триггера), если нет сигнала записи, то сохраняем предыдущее состояние *Q.*

Так как PLM не позволяет выполнить данную функцию (>4 входов), то разобьём её:



Понадобится 6 полных дешифраторов на 2 разрядов двоичного кода.

### Проектирование дешифратора

Таблица истинности функций дешифратора приведена в таблице Таблица 3.1.

Таблица 3.1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| A | B | Q0 | Q1 | Q2 | Q3 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 |

Где A, B – это входные адреса, а Qi – выходные сигналы дешифратора.

После минимизации, получим:

, , , 

Функциональная схема дешифратора приведена на рис. Рисунок 3.2.

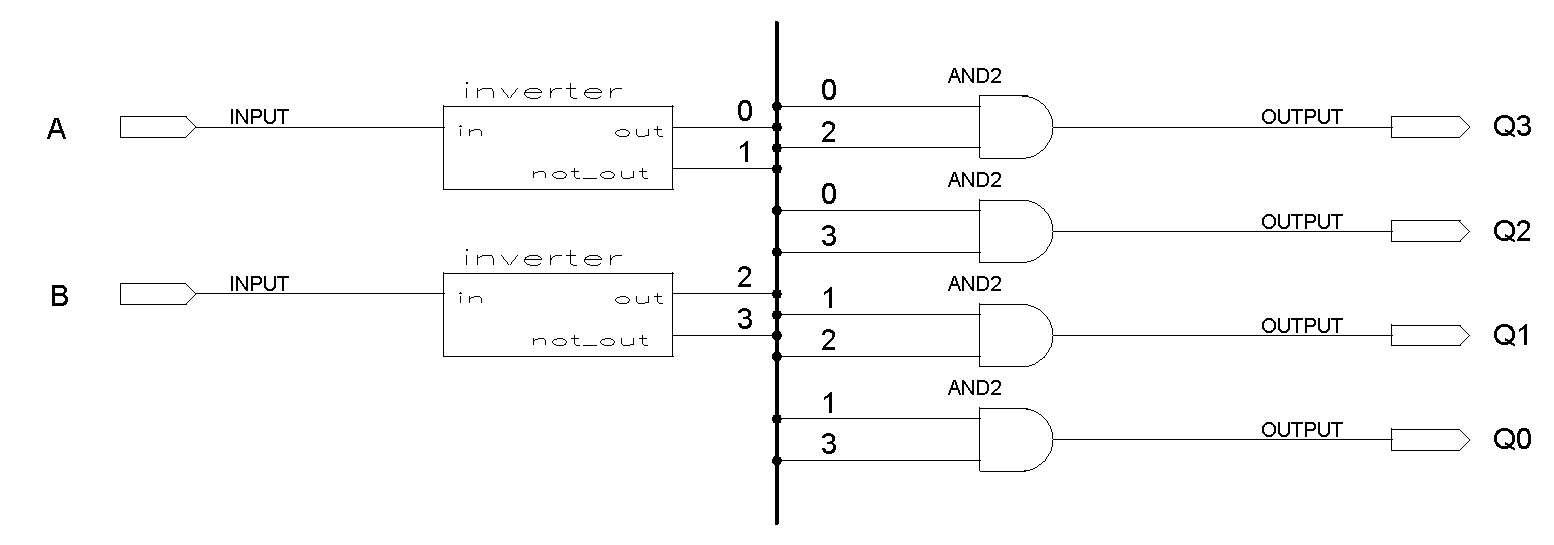


Рисунок 3.2 – Функциональная схема неполного дешифратора

### Проектирование однобитной ячейки памяти



Выход сигнала с триггера, при условии сигнала считывания и подачи соответствующего адреса.

Функциональная схема представлена на рис. Рисунок 3.3.

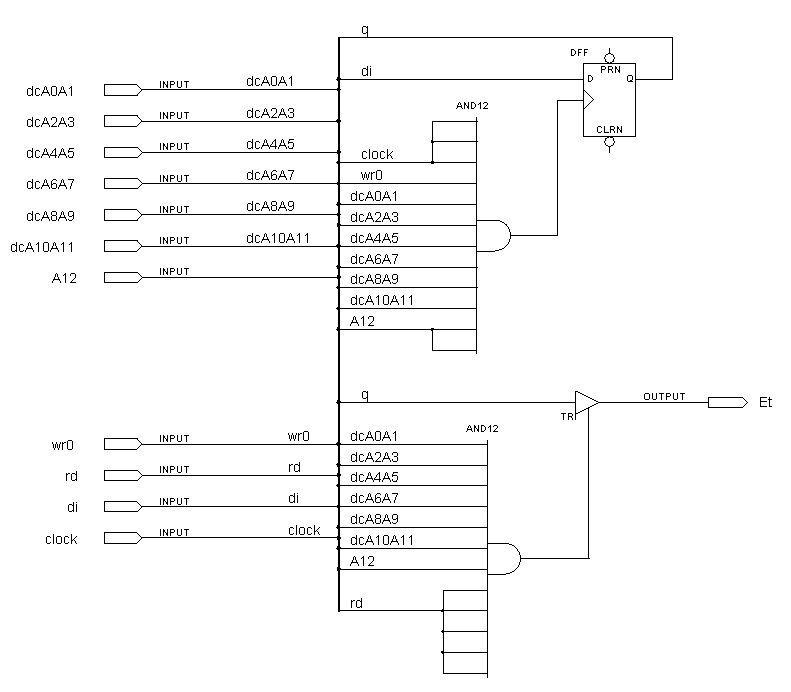


Рисунок 3.3 – Функциональная схема однобитной ячейки памяти

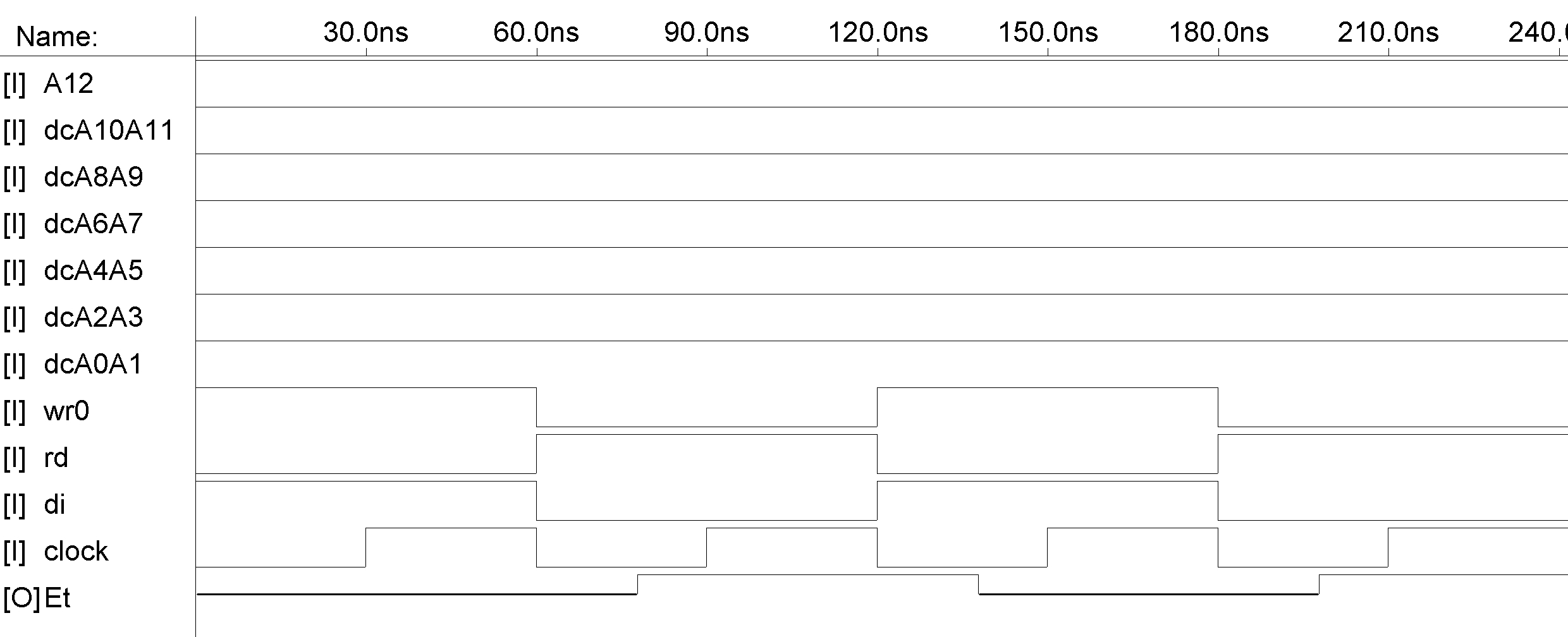


Рисунок 3.4 – Проверка работоспособности однобитной ячейки памяти

## Общая схема RAM

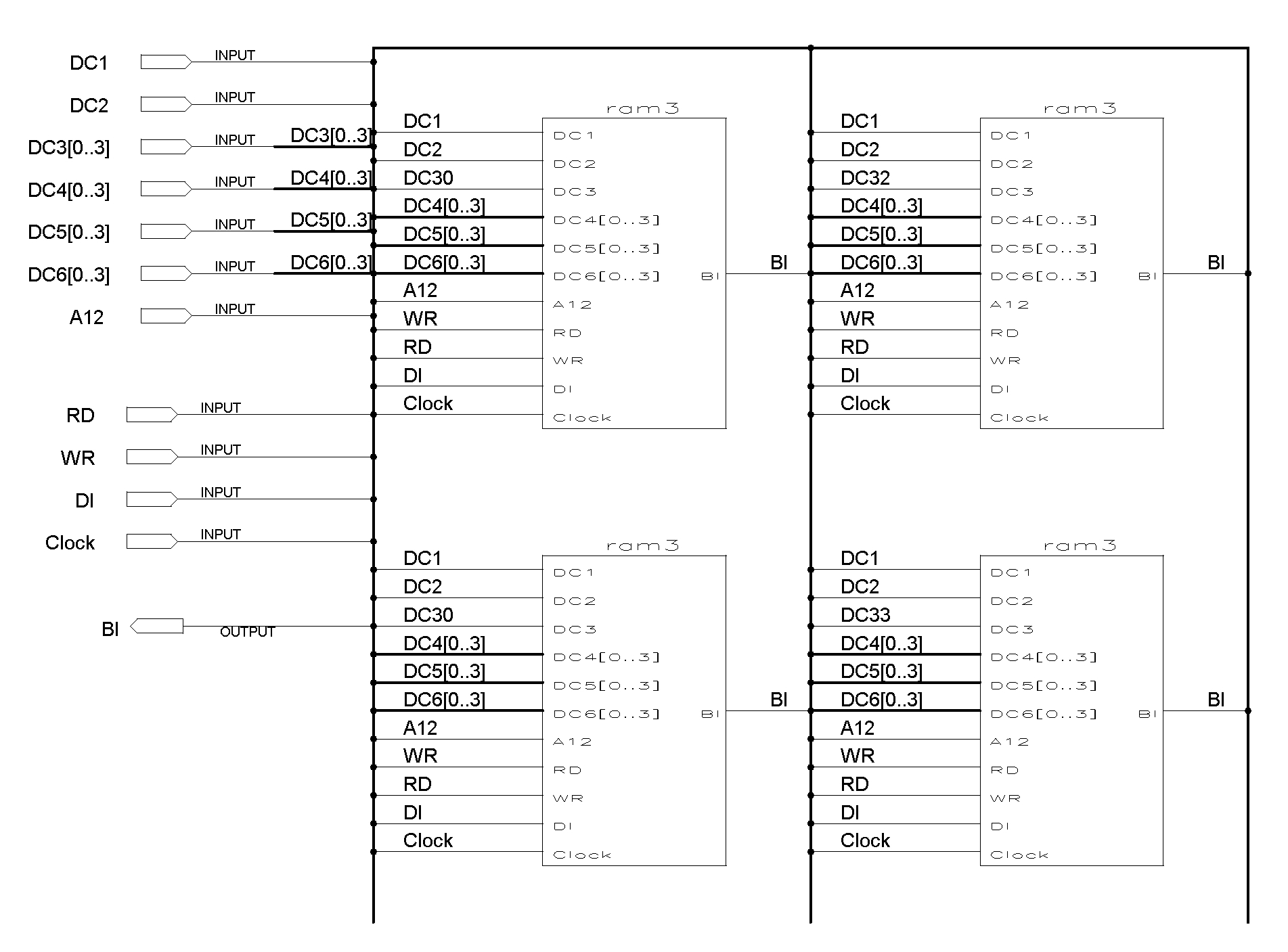


Рисунок 3.6 – Блок иерархии 4 уровня

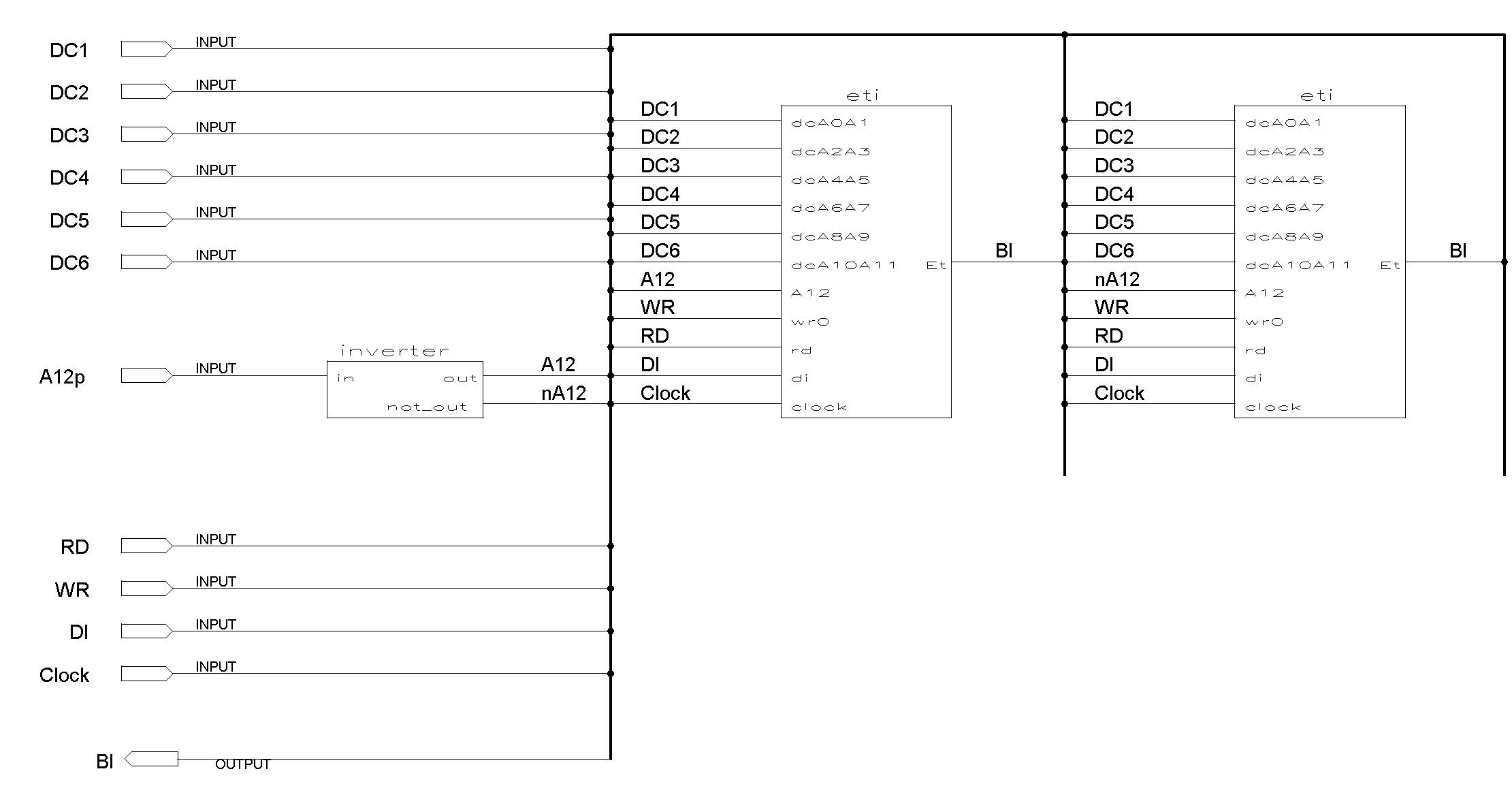


Рисунок 3.7 – Блок иерархии 7 уровня

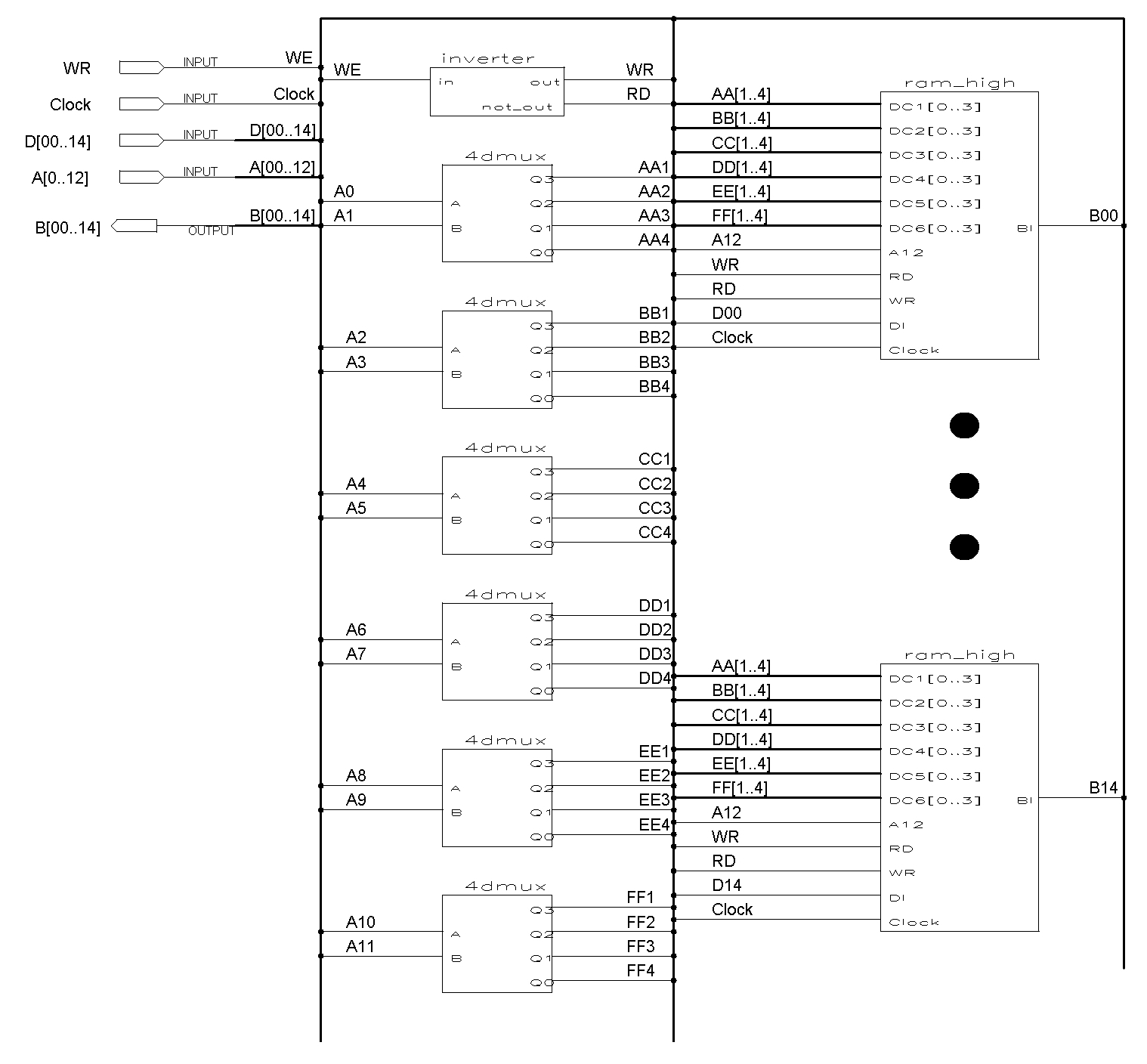


Рисунок 3.5 – Функциональная схема RAM

## Расчет сложности и быстродействия

Сложность схемы определяется суммой сложностей компонентов (схемы RAM) в количестве использованных PLMT. Следовательно, расчет сложности имеет вид:

F = 13 (регистр адреса) + 8Kx15 (ячейки памяти в схеме RAM) + 2 (дешифратор командных сигналов) + 6 \* 4 (дешифраторы адресов) ≈ 123K.

Быстродействие схемы определим для каждой команды:

1. Команда записи в память. Задержка в τ (PLM на дешифраторах) + τ (PLM на ячейках памяти) = 1нс + 2нс = 3нс
2. Команда чтения из памяти. Задержка в τ (PLM на дешифраторах) + τ (PLM на разрешении выдачи содержимого) = 1 нс + 1 нс = 2 нс.